

Plataforma Digital de Bajo Costo Para Procesamiento de Señales Ultra-Wideband

Edgardo Marchi†, Marcos Cervetto†, Pablo Gamez†

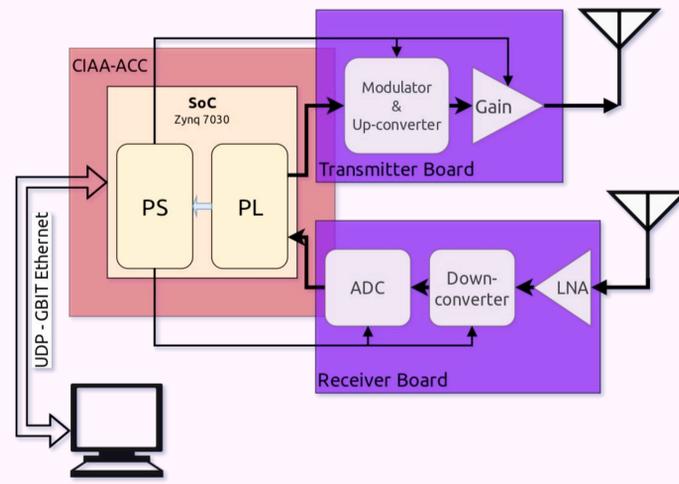
† Centro de electrónica e Informática, Instituto Nacional de Tecnología Industrial, Buenos Aires, Argentina.
emarchi@inti.gov.ar, cervetto@inti.gov.ar, pgamez@inti.gov.ar

Resumen

Se presenta el diseño y la implementación de una plataforma digital para señales impulsivas UWB, utilizando componentes off-the-shelf de bajo costo y la placa de desarrollo Open Hardware CIAA-ACC, con el propósito de probar algoritmos de procesamiento de señal sobre la misma. Para eso, se concibe una arquitectura modular sencilla. En el presente trabajo se elabora con cierto detalle sobre los pasos principales del proceso de diseño y se discuten las alternativas, las decisiones tomadas, sus ventajas y desventajas.

Introducción

Los sistemas Ultra-wideband son, hablando en términos generales, sistemas de radio en los cuales el ancho de banda instantáneo es como mínimo 500MHz o más del 20% de la frecuencia central. En la actualidad, los sistemas UWB se han convertido en una tecnología emergente debido a sus características únicas que hacen viable aplicaciones en diversos campos de las radiocomunicaciones. Estas aplicaciones incluyen posicionamiento [11], detección de objetos ocultos [14], imágenes, monitoreo y diagnóstico médico [9], [12], comunicaciones de corto alcance [18], entre otras. Muchas aplicaciones utilizan radios impulsivas, esto es, sistemas que transmiten y reciben pulsos muy cortos [16].

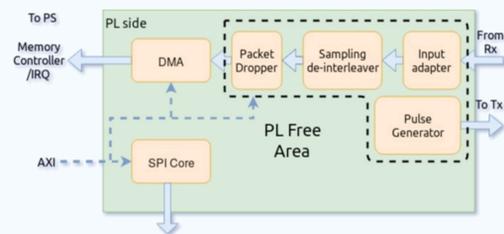


Descripción de la plataforma

Mientras se estudian y desarrollan algoritmos y técnicas para procesamiento de señales, una plataforma de hardware digital versátil se vuelve indispensable para implementar y verificar su correcto funcionamiento. Hay un número de soluciones comerciales en este aspecto para UWB, pero su costo sigue siendo demasiado alto en la mayoría de los casos. Además, poseen limitaciones en cuanto al acceso a los componentes de hardware y software del sistema, lo cual dificulta la validación de los algoritmos diseñados. Algunas están apuntadas a aplicaciones específicas, como localización [6], [10] o detección [15]. Otras presentan costos altos [10], [15] o menores especificaciones [6], [10]. Además del bajo costo, las características principales de la plataforma digital desarrollada son el sistema de muestreo en tiempo equivalente y la poca cantidad de recursos digitales utilizados, brindando área de FPGA y recursos de CPU para la implementación y prueba de algoritmos. Además, fue desarrollado un sistema en tiempo real de adquisición y graficación de señales.

PL

Un diagrama de la arquitectura de hardware implementada en la PL se puede ver en la Fig. de la derecha.

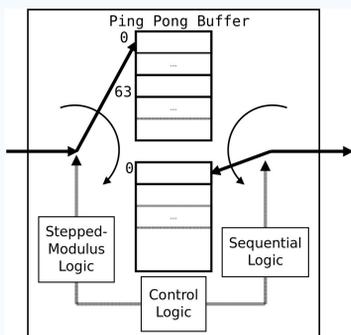
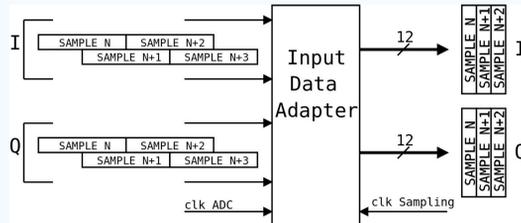


Circuito generador de pulsos:

Debido a restricciones del diseño analógico [10], este módulo puede funcionar hasta 504 MHz (obtenidos como $f_{RS} = 63/10$ siendo f_{RS} la frecuencia real de muestreo), lo que produce un pulso con un ancho de banda de 1008 MHz. El bloque funciona ajustando la cuenta máxima de un contador de acuerdo a la frecuencia de repetición (PRF) de la señal, en este caso, con una $PRF = 7,875\text{MHz}$ resulta una cuenta máxima de 64.

Reconstrucción de la señal:

Primero, se requiere de una adaptación de los datos de entrada ya que el ADC entrega las muestras en una interfaz serie de dos líneas para cada canal (I/Q) [13]. Esta adaptación implica no sólo la conversión SIPO, sino también la conversión de clock del ADC al clock del sistema (80MHz).



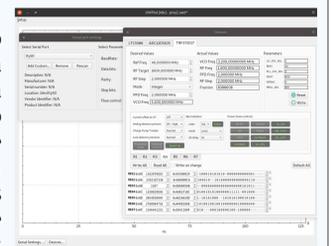
La segunda etapa de la reconstrucción de la señal involucra el desentrelazado de las muestras (tomadas a f_{RS}). Para formar la señal recibida muestreada a f_{EQ} . Este proceso es resuelto por un buffer ping-pong direccionado por una lógica K-modular, que consiste en una dirección de escritura generada por un contador de a pasos en módulo K.

Arquitectura de la aplicación en el PS

El PS del SoC es responsable de enviar los datos de la señal reconstruida a la PC y oficiar de interfaz entre el software de configuración y los dispositivos SPI. Ambas tareas son ejecutadas concurrentemente y manejadas por el sistema operativo FreeRTOS [15]. La transmisión de datos a la PC se ejecuta por medio de interrupciones del DMA, donde con cada interrupción se le entrega un semáforo binario a la tarea encargada de convertir y enviar la trama. Los datos de la señal son enviados a través del protocolo UDP en una conexión confiable entre el SoC y la PC. De esta forma se aprovecha el encabezado acotado de UDP respecto de otros protocolos. Los paquetes UDP son enviados utilizando la biblioteca lwIP, a través del core Giga-bit Ethernet (GbE) incluido en el SoC. Por otro lado, la tarea encargada de programar los dispositivos SPI se ejecuta en un loop con baja prioridad.

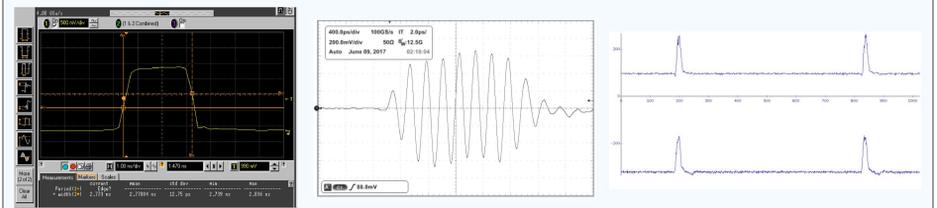
PC software

En la PC, fue diseñado un sistema en tiempo real codificado en C++ que permite acceder a las muestras a través de la interface de red, graficarlas y capturarlas en disco para posterior análisis. El software recibe las muestras por medio del link UDP/GbE mencionado. En la Fig. de la derecha se muestra una captura del software en cuestión. A su vez, escribe, lee y almacena la configuración de los diferentes dispositivos. La configuración se hace desde una interfaz de alto nivel, de manera que el valor hexadecimal de los registros es calculado automáticamente.



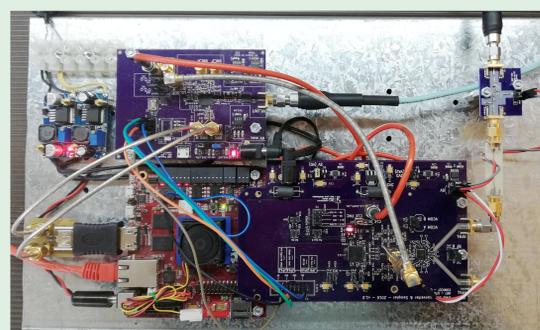
Mediciones del pulso y la señal reconstruida

En las posteriores figuras se pueden observar los resultados de los pulsos en banda base, banda pasante, y un tren de pulsos reconstruido.



Construcción y mediciones del prototipo completo

El transmisor y receptor (Fig. 6) fueron diseñados en 4 capas de material Isola FR408 [16] ya que su permitividad varía entre 3.69 @ 0.1 GHz a 3.65 @ 10 GHz, lo que resulta excelente para este diseño. La plataforma completa con todos sus módulos se muestra en la figura inferior, mientras que el setup completo de la plataforma se muestra en la figura de la derecha.



Conclusiones

Este trabajo presenta una arquitectura simple, de bajo costo de una plataforma para señales UWB impulsivas que puede ser usada para desarrollar y validar aplicaciones de sensado y detección. Aunque el primer prototipo fue testeado con un ancho de banda de 500 MHz, la arquitectura puede ser extendida fácilmente hasta 1 GHz.

Trabajo Futuro

Mediante diversidad espacial se puede lograr mejorar el rango de aplicaciones de UWB incluyendo, por ejemplo, el armado de imágenes. Para ello está planeado el procesamiento de varios canales en paralelo. También se planea implementar algoritmos de extracción de features de la señal sobre el SoC, como por ejemplo el Matrix Pencil Method [17].

Referencias:

- [1] S. Gezici, Zhi Tian, G. B. Giannakis, H. Kobayashi, A. F. Molisch, H. V. Poor, and Z. Sahinoglu. Localization by UWB radios: a look at positioning aspects for future sensor networks. *IEEE Signal Processing Magazine*, 22(4):70-84, July 2005.
- [2] L. Li, L. Liu, Z. Zeng, and F. Liu. Advanced signal processing for vital sign extraction with applications in wall radar detection of trapped victims in complex environments. *IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing*, 7(3):783-791, March 2014.
- [3] M. K. Davis, B. D. Van Veen, S. C. Hagness, and F. Kelcz. Breast tumor characterization based on ultrawideband microwave backscatter. *IEEE Transactions on Biomedical Engineering*, 55(1):237-246, Jan 2008.
- [4] Mohammad Ghannati, Balazs Janko, R. Simon Sherratt, William Harwin, Robert Piechocki, and Cima Soltanpur. A survey on wireless body area networks for eHealthcare systems in residential environments. *Sensors*, 16(6):831, 2016.
- [5] Luojing Yang and G. B. Giannakis. Ultra-wideband communications: an idea whose time has come. *IEEE Signal Processing Magazine*, 21(6):26-54, Nov 2004.
- [6] M. Z. Win and R. A. Scholtz. Impulse radio: how it works. *IEEE Communications Letters*, 2(2):68-70, Feb 1998.
- [7] A. De Angelis, M. Dionigi, A. Moschetti, and P. Carbone. A low-cost ultra-wideband indoor ranging system. *IEEE Transactions on Instrumentation and Measurement*, 58(12):3955-3962, Dec 2009.
- [8] A. Feldman, A. Bahi, J. Collis-Vignarelli, S. Robert, C. Dehollain, and A. Martinioli. Toward the deployment of an ultra-wideband localization test bed. In *Vehicle Technology Conference (VTC Fall)*, 2011 IEEE, pages 1-5, Sept 2011.
- [9] Q. Liu, Y. Wang, and A. E. Fathy. A compact integrated 100 GS/s sampling module for UWB see-through wall radar with fast refresh rate for dynamic real time imaging. In *Radio and Wireless Symposium (RWS)*, 2012 IEEE, pages 59-62, Jan 2012.
- [10] P. Gamez, E. Marchi, M. Cervetto, C. Guiffrida, G. Perez, A. Alhieri, and C. Galarza. A low-cost ultra-wideband test-bed for dielectric target detection. In *2017 XVth Workshop on Information Processing and Control (IPRC)*, pages 1-6, Sep. 2017.
- [11] http://www.proyecto-ciaa.com/dewiki/doku.php?id=desarrollo:ciaa_acc:acc:inicio
- [12] Zynq-7000 SoC: DC and AC Switching Characteristics - DS191.
- [13] <http://www.xilinx.com/products/totals/128105>
- [14] http://www.fpga-memory.com/resources/ser_guide_-_UG473
- [15] <https://www.freertos.org>
- [16] <http://www.isola-group.com/products/all-printed-circuit-materials/fr408/>
- [17] T. K. Sarkar and O. Pereira. Using the matrix pencil method to estimate the parameters of a sum of complex exponentials. *IEEE Antennas and Propagation Magazine*, 37(1):48-55, Feb 1995.
- [18] Chao Chen, Shiyao Wu, Shengwei Meng, Jie Chen, Guangyong Fang, and Huijun Yan. Application of equivalent-time sampling combined with real-time sampling in uwb through-wall imaging radar. In *Instrumentation, Measurement, Computer, Communication and Control*, 2011 First International Conference on, pages 231-234, IEEE, 2011.
- [19] Matthew Bruce Blanton. An FPGA software-defined ultra wideband transmitter. PhD thesis, Virginia Tech, 2006.
- [20] Zhou Yan, Zhou Cong, and Wang Dongli. Low rate sampling techniques for uwb systems: A survey. In *Control Conference (CCC)*, 2015 34th Chinese, pages 7777-7782, IEEE, 2015.